

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 61-063139

(43)Date of publication of application : 01.04.1986

(51)Int.Cl.

H04L 13/00

G06F 13/00

(21)Application number : 59-185187

(71)Applicant : NIPPON TELEGR &amp; TELEPH CORP &lt;NTT&gt;

(22)Date of filing : 04.09.1984

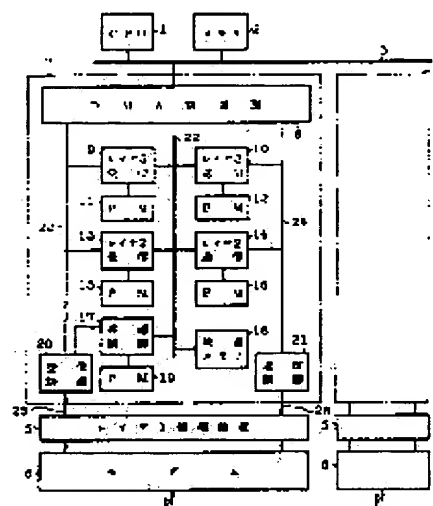
(72)Inventor :  
AOKI MAKOTO  
TONAMI SHUICHI  
HAYAKAWA EI  
ICHIKAWA HIROYUKI

## (54) COMMUNICATION PROTOCOL CONTROLLER

## (57)Abstract:

PURPOSE: To attain high speed communication by storing a code designating the operation of a common processor managing and controlling each layer processor to a storage device and providing each communication line among layer processors and between each layer processor and a DMA controller.

CONSTITUTION: When a data transmission is indicated to a processing section 7 from a CPU1, a common control processor 17 informs the indication to transmission processors 10, 14 via a communication line 22 and a common memory 18. In the device 10, based on the packet kind information, the information of a layer 3 is set and its information is transferred to a control section 21 through a transmission timing match communication line 24 of the layer 3 in the control section 21. On the other hand, the device 14 sets prescribed layer (2) information and the information is transferred to the control section 21 through the line 24 in matching with the information transmission timing of the layer 2 in the section 21. Further, the DMA control section 8 reads the transmission data from the memory 2, transmits the information to the control section 21 through the line 24 in matching with the data timing of the section 21 and the device 21 outputs the data via a layer processor 1 and an MODEM6.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

## ⑫ 公開特許公報(A)

昭61-63139

⑮ Int. Cl.<sup>4</sup>H 04 L 13/00  
G 06 F 13/00

識別記号

庁内整理番号

A-7240-5K  
K-6549-5B

⑬ 公開 昭和61年(1986)4月1日

審査請求 有 発明の数 1 (全6頁)

⑭ 発明の名称 通信プロトコル制御装置

⑰ 特 願 昭59-185187

⑱ 出 願 昭59(1984)9月4日

⑲ 発 明 者 青 木 誠 武蔵野市緑町3丁目9番11号 日本電信電話公社武蔵野電気通信研究所内  
⑲ 発 明 者 砺 波 修 一 武蔵野市緑町3丁目9番11号 日本電信電話公社武蔵野電気通信研究所内  
⑲ 発 明 者 早 川 映 武蔵野市緑町3丁目9番11号 日本電信電話公社武蔵野電気通信研究所内  
⑲ 発 明 者 市 川 弘 幸 武蔵野市緑町3丁目9番11号 日本電信電話公社武蔵野電気通信研究所内  
⑳ 出 願 人 日本電信電話株式会社 東京都千代田区内幸町1丁目1番6号  
㉑ 代 理 人 弁理士 磯村 雅俊

## 明 細 書

1. 発明の名称 通信プロトコル制御装置

2. 特許請求の範囲

(1) 複数の通信プロトコル層を制御し、主記憶装置に対してダイレクト・メモリアクセス制御を行う通信プロトコル制御装置において、通信プロトコル層ごとにプロトコル処理を制御する1個以上のレイヤ処理手段と、該レイヤ処理手段の全部を管理制御する共通処理手段と、各レイヤ処理手段に接続され、該処理手段の動作を指定する制御符号を格納する記憶手段と、各レイヤ処理手段相互間で通信を行う第1の通信線と、各レイヤ処理手段およびダイレクト・メモリアクセス制御手段の間で通信を行う第2の通信線とを有することを特徴とする通信プロトコル制御装置。

3. 発明の詳細な説明

〔発明の利用分野〕

本発明は、通信プロトコル制御装置に関し、特に各レイヤのプロトコル制御を並列処理すること

により、高速通信が可能な並列処理形通信プロトコル制御装置に関するものである。

〔発明の背景〕

データ通信における端末インタフェースには、モデム・インタフェースと呼ばれるアナログ・データ伝送用のVシリーズ・インタフェースと、新規端末用のインタフェースであるデジタル・データ伝送用のXシリーズ・インタフェースとがある(ISO標準)。

Vシリーズ・インタフェースの端末を回線交換、パケット交換に接続する場合、網との接続制御用としてDDX用の網制御装置(NCU)が必要であるのに対し、Xシリーズ端末は、端末自体に網制御機能を具備している。

データ端末を伝送回線を介してホストに接続する場合、データ端末と同等の機能を具備する装置つまり通信制御装置をセンタ側にも設置し、この装置を経由することにより伝送速度と処理速度の差を吸収する。また、通信制御装置は、コンピュータ間通信を行う上で必要なプロトコル(通信規約)

を処理するためにも必要である。

第4図は、従来、パケット交換機あるいはパケット端末等に用いられている通信制御装置のブロック構成図である。

第4図において1はプロセッサであり、ISOの標準モデル(Open System Interconnection 以下、OSI)で、レイヤ3以上の通信プロトコル処理および全体の制御を行う。2はメモリであり、プロセッサ1の制御シーケンスを指定する制御符号の他、通信データ(送受信)の蓄積部として利用する。3はプロセッサ1、メモリ2およびプロトコル処理装置4相互間の通信を行うための母線(バス)であって、制御符号(コマンド)、通信データ等の情報が流れる。4はOSI参照モデルでレイヤ2の通信プロトコル処理(本構成例ではHDLCLC: High Level Data Link Control Procedureに相当)を行う。5はOSI参照モデルでレイヤ1の通信プロトコル処理(本構成例ではモデム等の制御)を行う。6はモデム等であり、通信回線に対してデータ信号の電圧レベル変換、変

復調等の信号変換を行う。なお、レイヤ1は物理層、レイヤ2はデータリンク層、レイヤ3はネットワーク層と呼ばれるものである。

この構成例において、プロトコル処理装置4は回線対応に通信プロトコル処理をするため、高通信速度(数M bit/秒以上)を持つ通信回線に適用できる。しかし、高通信速度になるに従いバス3における1→2, 1←2, 4→2, 4←2の情報の流れが頻繁になり、各々の処理の実行要求に競合が発生し、これによる処理待ち合せ時間が長くなり、高通信速度の通信プロトコル処理が不可能になる。また、プロセッサ1の高速処理化をはかるため、複数のプロセッサで実行することも考えられるが、この場合もバス3での競合により、極端な処理速度の向上は望めない。

このように、従来の技術では、バス上での競合が処理上のネックとなり、通信プロトコル処理を高速で実行しえない欠点があった。

(発明の目的)

本発明の目的は、このような従来の欠点を除去

し、処理装置間の共通バス上での競合をなくし、通信プロトコル処理を高速に実行することが可能な通信プロトコル制御装置を提供することにある。  
(発明の概要)

上記目的を達成するため、本発明の通信プロトコル制御装置は、複数の通信プロトコル層を制御し、主記憶装置に対してダイレクト・メモリアクセス制御を行う通信プロトコル制御装置において、通信プロトコル層ごとにプロトコル処理を制御する1個以上のレイヤ処理手段と、該レイヤ処理手段の全部を管理制御する共通処理手段と、各レイヤ処理手段に接続され、該処理手段の動作を指定する制御符号を格納する記憶手段と、各レイヤ処理手段相互間で通信を行う第1の通信線と、各レイヤ処理手段およびダイレクト・メモリアクセス制御手段の間で通信を行う第2の通信線とを有することに特徴がある。

(発明の実施例)

以下、本発明の実施例を、図面により説明する。

第1図は、本発明の実施例を示す通信プロトコ

ル制御装置のブロック図である。

第1図では、パケット交換機の通信プロトコル処理(レイヤ2, レイヤ3)に適用した例である。パケット交換において、パケット通信プロトコルは、CCITT勧告X. 25で規定されている。

通信プロトコル上のフレーム(情報転送単位)形式は、第5図に示すように、明確に分離されているので、各レイヤ処理は、レイヤごとの指示情報にもとづいて行う。

第5図において、Fはフラグ"01111110"であり、Aはアドレス部(8ビット)、Cは制御部(8ビット)、PHはパケット制御部、DATAは情報(nビット)、FCSはフレーム・チェック・シーケンス(巡回冗長符号)(16ビット)である。

第1図において、7が本発明で新たに設けられたレイヤ2、レイヤ3の通信プロトコル処理装置である。交換機においては、回線に対応して処理装置7をそれぞれ並列に設置する。8は処理装置7とメモリ2間でのデータ(レイヤ2, レイヤ3制御情報は除く)転送を、自律的に行うダイレク

ト・メモリアクセス(DMA)制御部、9は通信プロトコルのうちレイヤ3の受信処理プロセッサ、10は通信プロトコルのうちレイヤ3の送信処理プロセッサ、11および12は各々プロセッサ9、10の処理を指示する制御符号および9、10の処理入力/結果を蓄積する記憶部(PM)であり、読出し専用メモリ(ROM)および書き込み/読み出し可能なメモリ(RAM)で構成される。13は通信プロトコルのうちレイヤ2の受信処理プロセッサ、14は通信プロトコルのうちレイヤ2の送信処理プロセッサ、15および16は各々13、14に一对一に対応し、機能、構成については、11および12と同様のメモリである。17は処理装置7内の各部の監視、プロセッサ1との間で制御/状態情報のやりとりを制御するプロセッサであり、19はプロセッサ17と一对一に対応し、機能、構成については11、12、15、16と同様のメモリである。18は9、10、13、14、17の各プロセッサにおける共通情報、各プロセッサ間の通信を行うためのデータ等を蓄積するRAM

速な通信プロトコル処理を実現させるようにしたもので、通信制御装置の共通バス3で競合が生じないので、高速処理が可能となる。

第1図では、共通制御プロセッサ17の管理の下に、フレーム(パケット)の送受信処理をレイヤ2、レイヤ3処理用プロセッサ9~14が並列に行う。パケット・データ部分の転送は、送信の場合、メモリ2からDMA制御部8を通り送信制御プロセッサ10、14、21に通信線I、IIを介して高速に行われ、また受信の場合、受信制御プロセッサ20、13、9からDMA制御部8を通りメモリ2に通信線I、IIを介して高速に行われる。なお、共通制御プロセッサ17は、処理装置7全体の管理およびCPU1、メモリ2とのインタフェース制御を行い、レイヤ3処理プロセッサ9、10はパケット制御情報の付加、解析、レイヤ3状態制御を行い、またレイヤ2処理プロセッサ13、14はフレーム制御情報の付加、解析、レイヤ2状態制御を行う。

まず、受信動作について述べる。

Mである。20はレイヤ1の処理装置5からのフレーム形式をとったビット直列データのフラグ同期、フレーム・チェック・シーケンス(FCS)検査、受信データのビット直列からビット並列(例えば1バイト並列)への変換等を行う受信回路制御部、21は20とは逆に送信データのビット並列からビット直列への変換、FCSの付加、フラグ付加等を行う送信回路制御部である。22はプロセッサ9、10、13、14、17、18間を接続し、相互の通信を可能とするバス(通信線I)である。23、24は、それぞれDMA制御部8、プロセッサ9、13、20間およびDMA制御部8、プロセッサ10、14、21間を接続し、プロトコル・レイヤ制御情報およびデータを転送する通信線(通信線II)である。25、26はレイヤ1処理装置5から、または処理装置5への送受信端子である。

このように、第1図においては、通信プロトコル処理を各レイヤ、送受信処理毎にプロセッサを配置し、これら各プロセッサを並列処理させて高

第2図は、フレーム受信時の動作例を示した図である。この場合、処理装置7はプロセッサ1から初期設定、データ受信指示がなされており、メモリ2の受信データ格納エリアがすでに知られているものとする。受信端子25からフレームを受信すると、受信制御部20はビット直並列変換を行い、プロセッサ13にレイヤ2制御情報(A、C部)を通信線23を通じて転送する。プロセッサ13では、レイヤ2制御情報の正常性検査、フレーム解析、状態制御等の処理を行い、通信線22およびメモリ18を通じて、共通制御プロセッサ17にその結果を通知する。制御部20はレイヤ2情報の後にレイヤ3情報を受信すると、通信線23を通じてプロセッサ9にその情報を転送する。プロセッサ9では、プロセッサ13と同様、レイヤ3情報の正常性検査、レイヤ3(パケット)解析、状態制御等の処理を行い、通信線22およびメモリ18を通じて共通制御プロセッサ17にその結果を通知する。一方、DMA制御部8はデータをメモリ2内の所定エリアに書き込む。データ受信

後、FCS検査を受信制御部20で行い、共通制御プロセッサ17にその結果を報告する。プロセッサ17では、FCS検査結果報告された時点から、FCS検査結果に応じた処理を行う。すなわち、FCS検査結果が正常であれば、先にプロセッサ13および9から報告されたレイヤ2、レイヤ3の処理結果に基づき、通信プロトコル上の状態を遷移させ、所定の出力(例えばフレーム/パケットの送信要求)通信線22およびメモリ18を通じてプロセッサ13あるいは9に通知する。特に、レイヤ2、レイヤ3の処理結果を正常であれば、プロセッサ1に対して正常にデータを受信した旨も合わせて通知する。一方、FCS検査結果が異常であれば、レイヤ2、レイヤ3処理結果を廃棄し、状態の遷移は行わない。

次に、送信動作について述べる。

第5図は、フレーム/パケット送信時の動作例を示した図である。プロセッサ1から処理部7に対してデータ送信指示がなされると、共通制御プロセッサ17はレイヤ2、レイヤ3の状態から送

信フレーム/パケット種別を決定し、通信線22およびメモリ18を通じて、送信処理プロセッサ10および14にその指示を通知する。プロセッサ10では、共通制御プロセッサ17からのパケット種別通知に基づき、所定のレイヤ3情報を設定し、送信制御部21におけるレイヤ3送信タイミングに合わせて通信線24を通じて、送信制御部21にその情報を転送する。プロセッサ14は、プロセッサ10と同様に、フレーム種別通知に基づき、所定のレイヤ2情報を設定し、制御部21におけるレイヤ2情報送信タイミングに合わせて通信線24を通じて、制御部21にその情報を転送する。また、DMA制御部8はメモリ2から送信データを読み出し、制御部21におけるデータ送信タイミングに合わせて通信線24を通じて制御部21にその情報を転送する。送信制御部21では、フラグ、レイヤ2情報(A、C)、レイヤ3情報、データおよび制御部21で作成したFCSを付加した上、ビット直列に変換して送信端子26に送出する。

このように、第1図においては、各レイヤごとの処理用プロセッサと全レイヤ処理プロセッサを管理する共通制御プロセッサを設けてレイヤごとに並列処理を行うとともに、各処理プロセッサにメモリを接続して処理プログラムを直接ロードするようにし、かつ独立の通信線を2本設けてバス上の競合を防止しているため、通信制御時に発生したイベントを各プロセッサが同時に処理でき、高速処理が可能である。また、レイヤごとのプロセッサを送信と受信に分けて設けているので、送信動作と受信動作を独立に行うことができ、同時並行して送受信処理を行うことが可能である。なお、上記の送受信動作は、独立に行うことが可能である。

(発明の効果)

以上説明したように、本発明によれば、通信プロトコル・レイヤごとの各プロトコル制御を、処理装置間の競合をなくして、並列に処理することができるので、例えばパケット交換機、パケット端末、およびローカルエリア・ネットワーク(L

AN)の通信ノードに適用すれば、きわめて高速度の通信が可能となる。

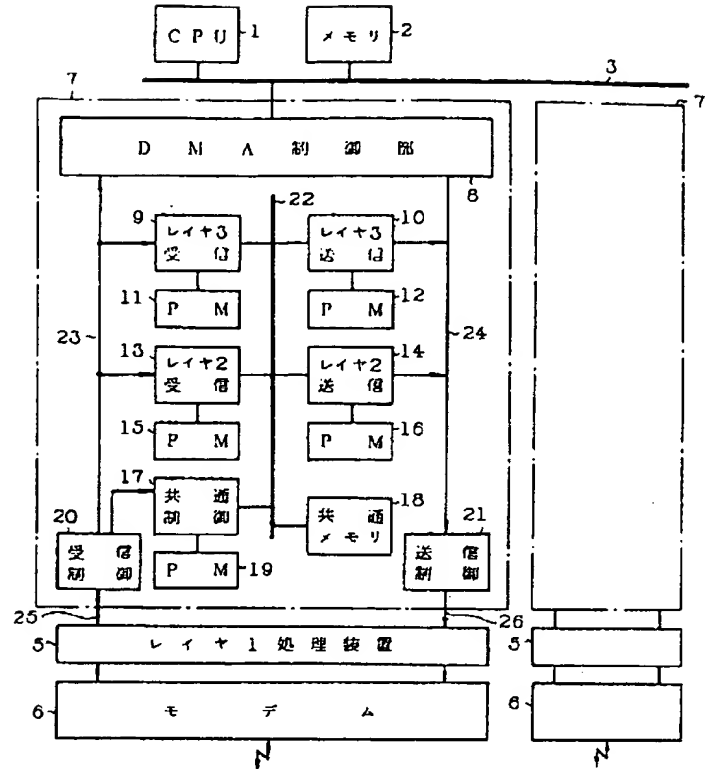
#### 4. 図面の簡単な説明

第1図は本発明の一実施例を示す通信プロトコル制御装置のブロック構成図、第2図は第1図における受信動作のシーケンス・チャート、第3図は第1図における送信動作のシーケンス・チャート、第4図は従来の通信プロトコル処理装置のブロック図、第5図はCCITT勧告X.25のハイレベル・データリンク制御手順によるフレーム/パケット形式の図である。

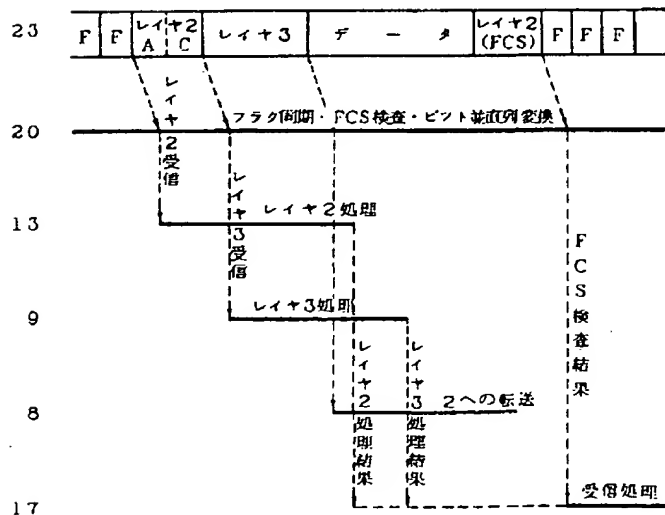
1:プロセッサ、2:メモリ、3:母線、4:レイヤ2通信プロトコル処理装置、5:レイヤ1通信プロトコル処理装置、6:モデム等、7:レイヤ2、レイヤ3通信プロトコル処理装置、8:ダイレクト・メモリアクセス制御部、9:レイヤ3の受信処理プロセッサ、10:レイヤ3の送信処理プロセッサ、11、12、15、16、19:読み出し専用メモリ(ROM)および書き込み/読み出し可能なメモリ(RAM)、13:レイヤ2の受

信処理プロセッサ、14：レイヤ2の送信処理プロセッサ、17：共通（監視）制御プロセッサ、18：RAM、20：受信回線制御部、21：送信回線制御部、22：母線（通信線1）、23、24：通信線Ⅱ、25：受信端子、26：送信端子。

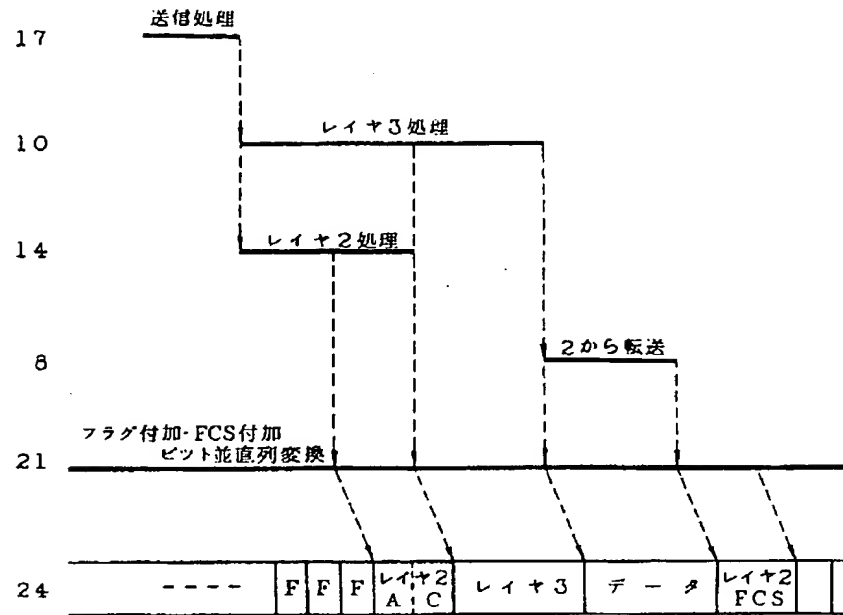
特許出願人 日本電信電話公社  
代理人 弁理士 磯村 雅 俊



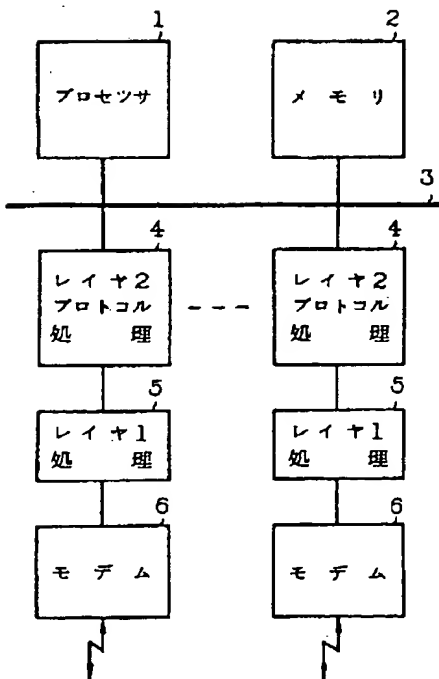
第 2 図



第 3 図



第 4 図



第 5 図

